

## 回路基板及びその製造方法並びに表示装置

### 発明の背景

#### 1. 発明の属する分野

本発明は、回路基板及びその製造方法並びに表示装置に関する。

【0001】

#### 2. 関連技術の説明

一般に、回路基板には、はんだ付けによって電子部品が実装されたり、ACF (Anisotropic Conductive Film: 異方性導電膜) によって電子部品が実装されたりする。この回路基板において、はんだ付けによって実装される部品 (以下、第1部品という)、例えば抵抗、コンデンサ等を効率的に実装して回路基板を製作するために、はんだペーストを印刷した上に第1部品を配置した状態の回路基板をリフロー炉に通すことによってはんだ接続を行うという実装技術、すなわち表面実装技術 (Surface Mount Technology) が一般的に用いられている。この表面実装技術においては、はんだを溶融させるためのリフロー炉内において、回路基板全体が高温、例えば260℃になってしまう。

【0002】

また、近年、ICチップ等は益々高集積化が進み、それらを基板へ実装する場合には少ない占有面積で実装が可能であることが望まれている。そして、この要望に応えることが出来る実装方法としてフリップチップボンディングが多く採用されるようになってきている。このフリップチップボンディングにおける接合方式としては、ACFを使用する方式が主要な方式の一つである。ここで、ACFは、一般に、熱可塑性、熱硬化性又は紫外線硬化性等といった特性を有する樹脂の内部に多数の導電粒子を分散させることによって形成される。

【0003】

ところで、ACFを用いた実装においては、バンプを備えたICチップ等と、電極を備えた基板とをACFを間に挟んで対向させ、さらに、ICチップ等を加熱しながら基板に加圧することにより、ICチップ等を基板に熱圧着する必要がある。この熱圧着には、ICチップ等の幅に対応する幅を持ちICチップ等の長さを越えて細長く形成されたヘッドを備えた熱圧着治具を使用することが多い。以下、ACFを用いて実装されるICチップ等といった

10041935-010702

部品を第2部品ということにする。

【0004】

以上のように長いヘッドを持つ熱圧着治具は、基板上に実装された部品が当該ヘッドにぶつかって熱圧着が不適切となってしまうのを避けるために、ICチップ等の周囲、特にICチップ等の長さ方向における周囲に第1部品が実装されていない状態で使用する必要がある。

【0005】

そこで、ACFを用いたICチップ等の実装を先に行い、その後に、表面実装技術による第1部品の実装を行うという処理が考えられる。ところが、前述したように、表面実装技術では回路基板全体を高温のリフロー炉に通す必要があるので、上記のようにACFを用いた実装の後に、はんだリフロー処理を行うと、はんだリフロー処理の際にACFが高温に晒されてその接続信頼性が低下することが確認されている。

【0006】

本発明は、上記のような問題点に鑑みてなされたものであって、回路基板を製造する場合に、ACFによる接続の信頼性を低下させることなく、第1部品を表面実装技術によって実装できるようにするものである。

発明の要約

(1) 上記の目的を達成するため、本発明に係る回路基板は、基板と、はんだ接続によって前記基板上に実装された第1部品と、異方性導電膜を介して前記基板上に実装された第2部品とを備える回路基板において、前記第2部品を含んで帯状に延びると共に前記第1部品は含まない帯状領域とを有することを特徴とする。

【0007】

上記構成の回路基板によれば、第2部品を含んで帯状に延びる帯状領域に第1部品が実装されないため、第1部品を実装した後に熱圧着治具を用いて第2部品を実装する場合に、第1部品が邪魔になって熱圧着が不十分になるという心配がない。このため、はんだリフロー処理等といったはんだ処理を先に行って、その後に異方性導電膜を用いた実装を行うことが可能となる。

20200705 010702 10041935

## 【0008】

そして、上記のように、はんだ処理を先に行って、異方性導電膜を用いた実装を後に行うことが可能になれば、はんだ処理における熱が異方性導電膜に加わるという事態がそもそも発生しなくなるので、異方性導電膜に関して接続信頼性が低下するという事態が発生する心配もなくなる。

## 【0009】

以上により、はんだ処理を用いた実装と、異方性導電膜を用いた実装との両方を用いて形成される回路基板において、異方性導電膜に関して接続信頼性が低下することを確実に防止できる。

## 【0010】

(2) 次に、上記構成の回路基板において、前記第1部品は受動素子又は機構部品とすることができ、さらに、前記第2部品は半導体装置とすることができる。ここで、受動素子としては、例えば、抵抗、コンデンサ等が考えられる。また、機構部品としては、例えば、可変抵抗器等が考えられる。また、半導体装置としては、例えば、電源IC、液晶駆動用IC等といったICチップやLSIチップが考えられる。

## 【0011】

この構成の回路基板によれば、半導体装置の実装に寄与している異方性導電膜の接続信頼性を低下させることなく、受動素子又は機構部品をはんだリフロー処理、すなわち表面実装技術によって実装して回路基板を形成することが可能である。

## 【0012】

(3) 次に、上記構成の回路基板において、前記帯状領域は、前記第2部品を実装する際に用いられる熱圧着治具のヘッド、すなわち熱圧着ヘッドの加圧面よりも広くなるように形成できる。こうすれば、第1部品を実装した後に第2部品を実装するために熱圧着治具を用いる場合でも、熱圧着ヘッドの加圧面、すなわち接触面が第1部品と干渉することなく、すなわち、ぶつかることなく使用できるため、適切な熱圧着を行うことができる。

## 【0013】

(4) 次に、上記構成の回路基板においては、前記帯状領域の外側、例えば側縁部の外側にアラインメントマークを設けることができる。こうすれば、ICチップ等といった第2

部品を実装する際に異方性導電膜でアラインメントマークが覆われてしまうことを回避できる。

【0014】

(5) 次に、上記構成の回路基板において、前記はんだ接続はリフロー処理を含むことができる。ここで、リフロー処理とは、はんだが載せられた基板上に電子部品をマウントした後、前記はんだを加熱して電子部品を基板にはんだ付けする処理である。このリフロー処理においては、基板が非常に高温に晒されるので、このリフロー処理時に基板上に異方性導電膜が存在すると、その異方性導電膜の接続信頼性が低下するおそれが非常に高くなる。しかしながら、本発明の回路基板によって実施が可能となったように、はんだ接続、すなわちリフロー処理を行った後に異方性導電膜を用いた実装を行うようにすれば、異方性導電膜がリフロー処理時の高温に晒されるという心配が全く無くなる。

【0015】

(6) 次に、上記構成の回路基板においては、前記第1部品を複数設けることができ、その場合には、前記帯状領域はそれら複数の第1部品の中間位置に設けることができる。このように帯状領域を1つの第1部品と他の第1部品との間に配置すれば、その帯状領域の内部に設けられる第2部品も1つの第1部品と他の第1部品との間に配置されることになる。一般に、第2部品と複数の第1部品との間は配線パターンでつながれることが多いのであるが、第2部品を複数の第1部品から離れた位置に配置するのではなく、複数の第1部品の中間位置に配置すれば、第2部品と複数の第1部品との間の配線パターンを容易に形成できる。

【0016】

(7) 帯状領域を複数の第1部品の間に設けるようにした上記構成の回路基板は、前記第2部品が電源IC又は電源LSIである場合に、特に有利である。その理由は次の通りである。すなわち、電源ICや電源LSIは多数の第1部品に電源電圧を供給するという作用を果たす関係上、電源IC等と複数の第1部品との間には多数の配線パターンが形成されるのが一般である。従って、電源IC等といった第2部品を複数の第1部品の中間位置に配置するようにすれば、配線パターンの設計が非常に容易になるからである。

【0017】

1004-1935-010702

(8) 上記構成の回路基板において、前記帯状領域は前記基板の一方の端から他方の端にわたって設けることができる。つまり、帯状領域は、基板の一方の端辺から他方の端辺にかけて貫通するように設けることができ、あるいは、一方の端辺の近傍から他方の端辺の近傍にかけて設けることができる。

【0018】

(9) また、上記構成の回路基板において、前記帯状領域は直線状に延びるように設けることができる。一般に、異方性導電膜を基板に貼り付けるための押圧ヘッドや、第2部品を仮圧着するための圧着ヘッドや、第2部品を本圧着するための熱圧着ヘッドは直線状に形成されることが多いので、帯状領域は上記のように直線状に設けることが望ましい。

【0019】

(10) また、上記構成の回路基板においては、前記帯状領域に配線パターンが形成されることが望ましい。本発明によれば帯状領域には第1部品が含まれないので、複数の第1部品間や第1部品と第2部品との間をつなぐ配線パターンを帯状領域には形成しないようにパターン設計を行うことが可能である。しかしながら、基板の面積を有効に使ってパターン設計を行うためには、帯状領域の内部領域にも配線パターンを形成することが有利である。

【0020】

(11) また、上記構成の回路基板においては、前記第2部品に相当する位置の前記基板上に当該第2部品と略同じ面積のダミー電極を形成することが望ましい。ここで、ダミー電極とは、基板上に形成する電極と同じ材料によって形成されるが電極としては機能しないパターンのことである。このようなダミー電極を第2部品の裏側に設けておけば、第2部品が実装された部分をダミー電極側から見たとき、すなわち、回路基板の裏側から見たときに、ダミー電極の変形状態を視覚で確認することによって第2部品の実装状態を確認できる。また、このダミー電極を接地電位につなげれば、第2部品へのノイズの進入を阻止できる。

【0021】

(12) 次に、本発明に係る表示装置は、以上に記載した各種構成の回路基板と、該回路基板が接続される表示手段とを有することを特徴とする。

【0022】

(13) 上記構成の表示装置において、前記表示手段は、文字、数字、図形等といった

像を表示する要素のことであり、例えば、液晶表示装置、有機EL装置、プラズマディスプレイ等といったフラットディスプレイや、CRT (Cathode Ray Tube) ディスプレイ等によって構成できる。この構成の表示装置によれば、高い信頼性で第2部品が実装された回路基板が用いられているので、信頼性の高い表示装置が得られる。

#### 【0023】

(14) 上記表示装置において前記表示手段を液晶装置によって構成する場合であって、前記第1部品を前記基板上に複数設けるとときには、前記帯状領域はそれら複数の第1部品の間に設けることができ、さらに、前記第2部品は電源IC、電源LSI、液晶駆動用IC又は液晶駆動用LSIとすることができる。電源IC、電源LSI、液晶駆動用IC又は液晶駆動用LSIは、複数の第1部品との間で多数の配線によってつながれることが多い。このような場合、電源IC等が複数の第1部品の間の中間位置に置かれていれば、配線を容易に形成することができる。

#### 【0024】

(15) 次に、本発明に係る回路基板の製造方法は、第1部品をはんだ接続によって基板に実装する工程と、前記基板上の所定位置に異方性導電膜を配置する工程と、第2部品を前記異方性導電膜上に配置する工程と、前記異方性導電膜を挟んで前記第2部品を前記基板に熱圧着する工程とを有し、前記基板上の所定位置に異方性導電膜を配置する工程は、前記第1部品をはんだ接続によって基板に実装する工程の後に行われることを特徴とする。

#### 【0025】

この構成の回路基板の製造方法によれば、第1部品が実装された後に、第2部品を実装して回路基板が製造される。従って、はんだ接続、例えば表面実装技術における熱が異方性導電膜に加わることが回避できる。その結果、異方性導電膜による接続の信頼性を低下させることなく、第1部品を表面実装技術等によって実装できる。

#### 【0026】

(16) 上記構成の回路基板の製造方法において、前記第1部品をはんだ接続によって前記基板に実装する前記工程は、リフロー処理を含むことができる。リフロー処理は基板を高温に晒す処理であるが、本発明に従えば上記のリフロー処理を行うときには、未だ、基板上に異方性導電膜が配置されないので、高温に

弱い異方性導電膜がリフロー処理時の高温に晒されることを回避できる。

#### 図面の簡単な説明

図1は、本発明に係る回路基板の一実施形態を示す平面図である。

【0027】

図2は、図1に示した回路基板で用いられる基板を示す平面図である。

【0028】

図3は、図2に示す基板の断面構造を示す断面図である。

【0029】

図4は 図3に示す基板上のランドにはんだを印刷した後の状態を示す断面図である。

【0030】

図5は、図4に示す基板のランド上に第1部品をマウントした後の状態を示す断面図である。

【0031】

図6は、図5に示す基板に第2部品をACFによって実装した後の状態を示す断面図である。

【0032】

図7は、本発明に係る回路基板の製造方法の一実施形態を示す工程図である。

【0033】

図8は、図7に示す製造方法の中の1つの工程である本圧着工程を示す平面図である。

【0034】

図9は、図8のIII-III線に従った断面図である。

【0035】

図10は、図7に示す製造方法の中の1つの工程であるリフロー処理における温度プロファイルを示すグラフである。

【0036】

図11は、温度プロファイルの他の例を示すグラフである。

【0037】

10041935\_010702  
20200526T001

図12は、図7に示す製造方法の中の1つの工程であるACF貼付け工程を示す図である。

【0038】

図13は、本発明に係る表示装置の一実施形態である液晶装置を分解状態で示す斜視図である。

【0039】

図14は、本発明に係る表示装置の他の実施形態であるエレクトロルミネッセンス装置を示す平面図である。

【0040】

図15は、図14のI-I線に従ってエレクトロルミネッセンス装置の断面構造を示す断面図である。

【0041】

図16は、図14のII-II線に従ってエレクトロルミネッセンス装置の断面構造を示す断面図である。

【0042】

図17は、図7に示す製造方法の中の1つの工程である仮圧着工程を示す側面断面図である。

【0043】

好ましい実施の形態

以下、本発明の好適な実施形態について、図面を参照しながら、さらに具体的に説明する。

【0044】

(回路基板の実施形態)

図1は、本発明に係る回路基板の一実施形態の平面的な構成を示している。ここに示す回路基板10は、回路基板10の外形形状を決定する基板11と、基板11にはんだ接続された第1部品30と、基板11にACF (Anisotropic Conductive Film: 異方性導電膜) 4



0を介して実装された第2部品36とを有する。第1部品30としては、例えば、チップ抵抗、チップコンデンサ等といった受動素子や、可変抵抗器等といった機構部品が採用される。また、第2部品36としては、例えば、IC、LSI等といった半導体装置が採用される。第1部品30は第1領域A1の内部に固着されている。また、第2部品36は第2領域A2の内部に固着されている。

#### 【0045】

図2は、第1部品30や第2部品36を実装する前の基板11を平面的に示している。図2に示すように、基板11の表面の第1領域A1には、第1部品30を実装するため複数のランド2が所定のパターンで形成されている。また、第2領域A2には、第2部品36を実装するための複数のリード3が設けられている。また、基板11の辺端部には、図面の表面側を向いて形成された出力側第1端子4aと、図面の裏面側を向いて形成された出力側第2端子4bと、図面の表面側を向いて形成された入力側端子6等といった各種の端子が形成されている。

#### 【0046】

図3に示すように、基板11はベース7を有する。このベース7の表面側（図3に示す構造の上面側）には配線8aが矢印B方向から見て所定のパターンで形成され、この配線8aの適所に電極9が形成され、これらの電極9によりランド2やリード3が形成されている。

#### 【0047】

ランド2が形成される第1領域A1及びリード3が形成される第2領域A2を除く広い範囲には、接着剤32によってカバーレイ12や、レジスト13等といった各層が形成される。カバーレイ12は、例えば、基板11が曲げの中性点に位置するように該基板11に弾性を付与する。また、レジスト13は、例えば、配線8a等を損傷から保護する。

#### 【0048】

ベース7の裏面側（図3に示す構造の下面側）には、配線8bが形成され、その配線8bの上に接着剤32によってカバーレイ12が積層され、さらにその上に、接着剤32によって補強板33が積層される。表面側の配線8aと裏面側の配線8bとはスルーホール16によって導通がとられている。なお、ICチップ等といった第2部品36が実装される第2領域A2に対応する部分には、配線8bと接着剤32との間にダミー電極17が設けられる。

10041935.010702

## 【0049】

このダミー電極17は、電極9と同じ材料によって形成されるが、電極としては用いられない要素である。ダミー電極17を矢印B方向から平面的に見た場合、そのダミー電極17の平面的な大きさは第2部品36と同じか又はそれよりも広い大きさに設定される。従って、第2領域A2内に第2部品36を実装すると、その第2部品36はその全てがダミー電極17の内部に含まれるような広さ関係になっている。

## 【0050】

第2領域A2内に第2部品36を実装した後、その実装部分を矢印Cのように基板11の裏側から見ると、第2部品36の実装状態をダミー電極17の変形状態によって視覚的に確認できる。例えば、第2部品36が環状に並べられた複数のバンプを有していて、それらのバンプが形成された面が実装面となっているとき、第2部品36の実装が正常であれば、ダミー電極17は環状のバンプに沿って方形状に変形する。よって、方形状に変形したダミー電極17が視覚によって確認されたときには、第2部品36の実装が正常であると判定できる。

## 【0051】

なお、ダミー電極17は、接地電位とは異なる電位に置いても良いし、接地電位につなげても良い。ダミー電極17を接地電位につなげておけば、第2領域A2内に実装した第2部品36を作動させるとき、その第2部品36へノイズが入ったり、その第2部品36からノイズが出たりすることを防止できる。

## 【0052】

上記の積層構造において、ベース7は、例えばポリイミドによって形成される。また、配線8a及び8bは、例えばCu（銅）によって形成される。また、カバーレイ12は、例えばポリイミドによって形成される。また、電極9は、例えば配線8aの上に積層されたNi（ニッケル）層と、さらにその上に積層されたAu（金）層との積層構造によって形成される。

## 【0053】

図2において、第1領域A1内のランド2に第1部品30をはんだ付けし、さらにリード3が設けられた第2領域A2内に第2部品36を実装することにより、図1に示すような回

10041935.010702

路基板 10 が形成される。また、本実施形態では、それらの領域以外に帯状領域 A 3 が設定される。

【0054】

この帯状領域 A 3 は、第 2 領域 A 2 を含むと共に図 2 の縦方向に帯状に延びる領域として形成されている。また、この帯状領域 A 3 は、第 1 部品 30 が実装されない領域となっている。なお、帯状領域 A 3 の中には配線 8 a 及び配線 8 b は形成されており、これにより、基板 11 の表面の面積を有効に活用している。

【0055】

なお、図 1 及び図 2 では、第 2 領域 A 2 の一例を示しているが、第 2 領域 A 2 は帯状領域 A 3 内のいずれの位置に形成することもできるし、帯状領域 A 3 内に複数形成することもできる。また、帯状領域 A 3 を複数形成してもかまわない。

また、図 1 では、帯状領域 A 3 が互いに隣り合う一対の第 1 領域 A 1、A 1 の間、すなわち、1 つの第 1 部品 30 と他の第 1 部品 30 との間に形成されているが、帯状領域 A 3 は必ずしも常にそのように設定する必要はなく、回路基板 10 の一端部に形成してもかまわない。

【0056】

図 1 において、チップ抵抗、チップコンデンサ、可変抵抗器等といった上記の第 1 部品 30 は、第 1 領域 A 1 の内部にはんだ接続によって実装されている。また、IC、LSI 等といった上記の第 2 部品 36 は、第 2 領域 A 2 の内部に ACF 40 を用いて実装されている。

【0057】

回路基板 10 を製造するための製造方法については後述するが、図 8 はその製造方法において用いられる、特に、第 2 部品 36 を実装する際に用いられる熱圧着治具のヘッド 72 a の端面、すなわち加圧面が位置する領域（斜線を施した領域）と回路基板 10 との間の位置関係を平面図として示している。

【0058】

図 8 から明らかなように、第 1 部品 30 が実装されていない帯状領域 A 3 は、第 2 部品 36 を実装する際に用いられる熱圧着治具のヘッド 72 a の端面より幅 W が広く、また、ヘッド 72 a の端面と回路基板 10 とが対向する領域の長さ L と等しい長さ L を持つ領域となっている。

10041935-010702

## 【0059】

従って、第1部品30を実装した後に第2部品36を実装するために熱圧着治具を用いる場合でも、熱圧着治具のヘッド72aが第1部品30と干渉することなく、すなわち、ぶつかることなく使用でき、そのため、熱圧着を適切に実行できる。それ故、第2部品36をヘッド72aを用いて確実に実装することができる。なお、ヘッド72aの端面の長さL1が回路基板10の長さより短い場合、帯状領域A3は、ヘッド72aの端面と回路基板10が対向する領域の長さ以上の長さを持つ領域となっていればよい。

## 【0060】

図1において、回路基板10には、帯状領域A3の側縁部の外側にアラインメントマーク23が設けられている。これらのアラインメントマーク23は、第2部品36として、例えばLSIチップ、ICチップ等を実装する際に、LSIチップ等に設けられたアラインメントマークと所定の位置関係となるように、すなわち、LSIチップ等を位置決めするために用いられる。

## 【0061】

また、アラインメントマーク23は、帯状領域A3の側縁部の外側に設けられているため、LSIチップ等といった第2部品36を実装する際に第2領域A2上に配置するACF40でアラインメントマーク23が覆われてしまうことを回避できる。また、アラインメントマーク23は押し圧ヘッド56（図8参照）と対向する領域の外側に形成されているため、ヘッド56の接触による汚れ等によって認識しづらくなることがない。

## 【0062】

なお、アライメントマーク23は2つあれば平面での位置決めが可能となるから十分であるが、それ以上あってもかまわない。その場合、製造装置に応じて認識し易いアライメントマークを選択することが可能となる。また、アライメントマークの配置箇所は、位置合わせ箇所に近いほど好ましい。これは、アライメントマークが位置合わせ箇所から離れるに従い、基板11の変形に起因する誤差が大きくなるからである。

## 【0063】

以上のように、本実施形態の回路基板10は、第2領域A2を含んで帯状に延びる帯状領域A3に、第1部品30が実装されないため、第1部品30をはんだ付けによって実装した

後に、熱圧着ヘッド72a（図8参照）を用いて第2部品36をACF40によって実装することが可能である。従って、例えば表面実装技術における熱がACF40に加わることが回避でき、その結果、この回路基板10は、ACF40による接続の信頼性を低下させることなく、第1部品30を表面実装技術によって実装することが可能である。

#### 【0064】

（回路基板の製造方法の実施形態）

図7は、本発明に係る回路基板の製造方法の一実施形態を示している。この製造方法では、初めにリフローはんだ付け工程Paを実行し、次に熱圧着工程Pbを実行する。

#### 【0065】

リフローはんだ付け工程Paでは、まず、所定の穴パターンを備えたメタルマスク（図示せず）を図2の基板11の表面に載せ、ペースト状のはんだをそのメタルマスクの上に載せた上でスキージを用いて延ばすことにより、メタルマスクが有するマスクパターンに応じた希望パターンのはんだを基板11の表面に印刷する（工程P1）。これにより、図4に示すように、基板11の第1領域A1のランド2の上にはんだ22が載せられる。

#### 【0066】

なお、本実施形態では、ペースト状のはんだとして、Pb（鉛）を含まない、いわゆる鉛フリーのはんだを使用するものとする。Pbを含む通常のはんだは、概ね、Sn（すず）を主成分としてPbが40%程度含まれている。これに対し、鉛フリーのはんだは、Snを主成分としてPbの含有割合は10%以下である。このようにPbの含有率の低いはんだを用いるのは、主に環境保護のためであるが、このはんだは通常のはんだに比べて融点が高い。

#### 【0067】

次に、工程P2において、チップ抵抗、チップコンデンサ、可変抵抗器等といった第1部品30のマウント処理が実行されて、図5に示すように、第1領域A1のランド2の上に、第1部品30が載せられる。次に、リフロー処理P3において、第1部品30が載せられた基板11をリフロー炉（図示せず）の中へ搬送し、そのリフロー炉の中で基板11の第1部品30が載せられた側の面に熱風を供給する。これにより、はんだ22が熔融して複数の第1部品30が複数のランド2に一括してはんだ付けされる。

## 【0068】

本実施形態で用いるリフロー炉における基板11に対する加熱は、例えば図10に示すような温度プロファイルに従って行われる。図10において、横軸はリフロー炉の中を移動する基板11の1つの点の時間変化を示し、縦軸はその1つの点の温度の変化状態を示している。

## 【0069】

図10に示すように、リフロー炉の中に搬入されて当該炉内を移動する基板11は、時間 $t_1$ をかけて150～180℃まで昇温され、その後、60～100秒の時間をかけて150～180℃の一定温度で予備加熱され、その後、時刻 $t_3$ で235～240℃のピーク温度となるように加熱される。この加熱により、図5においてはんだ22が溶けて第1部品30がランド2に固着される。時刻 $t_3$ のピーク温度近傍では、基板11は20～25秒の間220℃以上に保持される。また、基板11がリフロー炉を出るまでの時間は約6分である。

## 【0070】

なお、はんだとしてPbを含む通常のはんだを用いる場合には、リフロー炉において、例えば図11に示すような温度プロファイルを採用する。図11の温度フローは図10に示した鉛フリーはんだの場合に比べてプロファイルが全体的に温度的に低くなっている。具体的には、時間 $t_1$ をかけて130～170℃まで昇温され、その後、60～100秒の間130～170℃で予備加熱され、その後、時刻 $t_3$ で230℃程度のピーク温度となるように加熱される。また、時刻 $t_3$ のピーク温度近傍では、基板11は40秒以内の間200℃以上に保持される。

## 【0071】

以上によりリフローはんだ付け工程Paが終了して第1部品30のはんだ付けが終了すると、作業は熱圧着工程Pbへ進む。この熱圧着工程Pbでは、まず、工程P4において、例えば図12に示すようにしてACFの貼り付け工程が実行される。図12において、巻出しリール50aに巻き付けられた長尺状のACF素材40Aがテンションローラ51を介して巻取りリール50bに巻き取られるようになっている。

## 【0072】

20200705 10041935-010702

巻出しリール50aに巻き付けられたACF素材40Aは、図12(a)に示すように、離型紙42の上に長尺状のACF40が積層され、さらにACF40の上にカバーフィルム43を積層することによって形成されている。離型紙42は、例えば白色のPET(ポリエチレンテレフタレート)によって53 $\mu$ m程度の厚さに形成される。また、カバーフィルム43は、例えば透明なPETによって25 $\mu$ m程度の厚さに形成される。

#### 【0073】

また、ACF40は、例えば熱硬化性樹脂であるエポキシ系樹脂によって形成されたバインダー樹脂44の中に多数の導電性粒子46を分散状態で混入させることによって形成されている。また、ACF44の厚さは35 $\mu$ m程度に設定される。

#### 【0074】

巻出しリール50aから巻き出されたACF素材40Aは、剥離ローラ52を通過するときにカバーフィルム43を除去され、次に、カット装置53へ供給される。カット装置53は、図12(b)に示すように、ACF40が所定の長さL2になるように、長尺状のACF40に切り目Kを入れる。このとき、離型紙42には切り目は入らない。

#### 【0075】

切り目Kが入ったACF40を持ったACF素材40Aは、次に、基板11が置かれた貼付ステージHへ持ち運ばれる。この貼付ステージHには押圧ヘッド56を備えた押圧装置54が配設されている。押し圧ヘッド56はヒータによって高温に加熱されている。

#### 【0076】

ACF素材40Aに含まれる1つのACF40が基板11に対して所定の位置にセットされると、押し圧ヘッド56が図12の下方向へ移動してACF素材40Aを離型紙42の側から基板11へ押し付ける。これにより、ACF40は70 $^{\circ}$ C程度の温度で1秒間程度の時間、基板11へ押し付けられる。その後、押し圧ヘッド56を基板11から離れる退避位置へ復帰移動させると、離型紙42は基板11から離れ、ACF40だけが基板11上に残される。こうして、図1に示すように、所定位置である第2領域A2を覆うようにACF40が貼着される。

#### 【0077】

その後、図7の工程P5においてICチップ等といった第2部品36のアライメントおよ

び仮圧着処理が実行される。具体的には、図2において、第2部品36に環状に配列された端子、すなわちバンプ37が第2領域A2内の個々のリード3に対応するように第2部品36をACF40を介して第2領域A2の上に置いた後に仮圧着を行う。このとき、第2部品36と基板11の相対的な位置を正確に一致させるために図1のアライメントマーク23が用いられる。

#### 【0078】

第2部品36の仮圧着の際、具体的には、図17に示すように基板11をテーブル71bの上に置き、さらに図8及び図17に示すように加熱された第2部品36の搬送および熱圧着ヘッド71aによって第2部品36を押し付ける。これにより、第2部品36が70℃程度で1秒間程度、ACF40を介して基板11へ押し付けられる。この加熱及び加圧により、第2部品36が基板11上に仮に固着される。

#### 【0079】

次に、工程P6へ進んで第2部品36の本圧着を行う。具体的には、図9に示すように基板11をテーブル72bの上に置き、さらに図8及び図9に示すように加熱された熱圧着ヘッド72aによって第2部品36を押し付ける。これにより、第2部品36が190℃程度で10秒間程度、ACF40を介して基板11へ押し付けられる。

#### 【0080】

この加熱及び加圧により、第2部品36が基板11上に本圧着、すなわち最終的な固着強度で固着される。この結果、図6に示すように、第2領域A2の中に第2部品36が実装される。より詳しくは、ACF40に含まれる樹脂44によって第2部品36が基板11に固着され、さらに、第2部品36のバンプ37と基板11上のリード3とがACF40内の導電粒子46によって導電接続される。

#### 【0081】

本圧着では仮圧着のときよりも高温で長時間、第2部品36が基板11へ押し付けられる。本圧着を行う前に仮圧着を行うのは、第2部品36と基板11との間の位置合せ、すなわちアライメントを、本圧着時に行うことが難しいからである。

#### 【0082】

以上の製造方法において、熱圧着ヘッド56, 72aは、図8にも示したように、第2部



品36やACF40の長さより遥かに長い領域にわたる形状となっている。しかしながら、熱圧着ヘッド56, 72aは、第1部品30が実装されていない帯状領域A3の幅Wの中に位置するため、第1部品30と接触することがない。

#### 【0083】

なお、図9において、基板11を挟んでヘッド72aの反対側にあるテーブル72bの形状については、必ずしもヘッド72aと同一の形状である必要はない。しかし少なくとも、テーブル72bの端面、すなわち基板受け面の面積は、第2部品36のうち基板11に圧着される面の面積と同一又はそれよりも広いことが必要である。また、第2部品36とテーブル72bとの位置関係は、第2部品36のうち基板11に圧着される面の全体がテーブル72bの端面と平面的に重なりあうことも必要である。

#### 【0084】

以上のように、本実施形態の製造方法では、まず初めに、受動部品や機構部品等といった第1部品30をリフロー処理、すなわち表面実装技術を用いてはんだ接続によって基板11に実装する。そして次に、基板11上の所定位置にACF40を配置し、さらにその上にICチップ等といった第2部品36を置き、さらにその第2部品36を熱圧着するようにした。この結果、例えば表面実装技術に基づいたはんだ接続工程における熱がACF40に加わることが回避でき、それ故、ACF40による第2部品36の接続の信頼性を低下させることなく、第1部品30を表面実装技術等によって実装できる。

#### 【0085】

##### (表示装置の実施形態)

図13は、本発明に係る表示装置の一実施形態を示している。この実施形態は、単純マトリクス方式でCOG (Chip On Glass) 方式の液晶装置に本発明を適用した場合の実施形態である。この実施形態の場合、図1に示した回路基板10は、表示装置としての液晶装置を構成する液晶パネルを駆動するための駆動回路を含むように形成することができる。

#### 【0086】

図13において、表示装置としての液晶装置80は、液晶パネル82に回路基板10を接続することによって形成される。また、必要に応じて、バックライト等といった照明装置（

図示せず) やその他の付帯構造 (図示せず) が液晶パネル 8 2 に付設される。

#### 【0087】

液晶パネル 8 2 は、環状のシール材 8 7 によって周縁が互いに接着された一对の基板 8 3 a 及び 8 3 b を有し、それらの基板 8 3 a 及び 8 3 b の間に形成された間隙、いわゆるセルギャップに、例えば STN (Super Twisted Nematic) 型の液晶が封入されている。基板 8 3 a 及び 8 3 b は、一般には、透光性材料、例えばガラス、合成樹脂によって形成される。

#### 【0088】

基板 8 3 a 及び 8 3 b の外側表面には偏光板 8 6 が貼着等によって装着される。また、それらの基板 8 3 a 及び 8 3 b の少なくとも一方と偏光板 8 6 との間に位相差板 (図示せず) が挿入されている。一方の基板 8 3 a の内側表面にはストライプ状の電極 8 9 a が形成されている。また、他方の基板 8 3 b の内側表面には対向する電極 8 9 a と直交するようにストライプ状の電極 8 9 b が形成されている。これらの電極 8 3 a 及び 8 3 b は、例えば、ITO (Indium Tin Oxide: インジウムスズ酸化物) 等といった透光性導電材料によって形成される。

#### 【0089】

なお、電極 8 3 a 及び 8 3 b は、ストライプ状に限られることなく、文字、数字、その他の適宜のパターンとして形成することもできる。また、図 1 3 では、構造を分かりやすく示すために、電極 8 9 a 及び 8 9 b を実際のものよりも少ない本数で互いに広い間隔を開けて描いてあるが、実際にはより狭い間隔で多数本の電極が形成される。

#### 【0090】

一方の基板 8 3 a は他方の基板 8 3 b の外側へ張り出す張出し部 8 4 a を有し、他方の基板 8 3 b は一方の基板 8 3 a の外側へ張り出す張出し部 8 4 b を有する。これらの張り出し部には、液晶駆動用 IC 9 1 a 及び 9 1 b が ACF 9 2 を用いて実装される。そして、一方の張出し部 8 4 a には、液晶駆動用 IC 9 1 a の入力用パンプに接続される外部接続端子 8 5 a が電極 8 9 a と同時に、例えば ITO によって形成される。また、他方の張出し部 8 4 b には、液晶駆動用 IC 9 1 b の入力用パンプに接続される外部接続端子 8 5 b が電極 8 9 b と同時に、例えば ITO によって形成される。

#### 【0091】

10041935-010702

回路基板10と液晶パネル82との接続は、例えば、液晶パネル82の基板83aの張出し部84aの上に形成した外部接続端子85aと、回路基板10の辺端部に形成した出力側第1端子4aとをACFによって導電接続し、さらに、基板83bの張出し部84bの上に形成した外部接続端子85bと、回路基板10の細幅部分の辺端部に形成した出力側第2端子4bとをACFによって導電接続することによって行われる。

#### 【0092】

ACFは、図1に示した回路基板10において第2部品36を基板11に接続するために用いられたものと同様に、接着用樹脂及びそれに混入された導電性粒子によって形成されており、熱圧着することにより、その接着用樹脂によって図13において回路基板10と基板83a及び83bとが固着され、そして、導電性粒子によって回路基板10の各端子4a、4bと液晶パネル82の接続端子85a、85bとが導電接続される。

なお、図13に示す実施形態では、液晶パネル82の基板83a及び83bの上に液晶駆動用IC91a及び91bを直接に実装する構造、いわゆるCOG (Chip On Glass) 方式の構造を採用したので、回路基板10には液晶駆動用ICを搭載する必要はない。従って、この場合の回路基板10に実装される第2部品36としては、液晶駆動用IC以外の半導体装置、例えば電源ICや電源LSI等が考えられる。

#### 【0093】

(表示装置の他の実施形態)

図14は、本発明に係る表示装置の他の実施形態を示している。この実施形態は、表示装置としてのエレクトロルミネッセンス装置に本発明を適用した場合の実施形態である。ここに示すエレクトロルミネッセンス装置100は、ELパネル101に回路基板110を接続することによって構成されている。

#### 【0094】

ELパネル101は、I-I線に従った断面図である図15に示すように、基材103の上に陽極、すなわちアノード109bを複数本、間隔を開けて互いに平行に形成し、さらにそれらのアノード109bの間に絶縁膜111を形成し、その上に有機エレクトロルミネッセンス発光層102を形成し、さらにその上に陰極、すなわちカソード109aを形成する

ことによって作製されている。

【0095】

アノード109bは、図14に示すように、複数本が間隔を開けて互いに平行に並べられて全体としてストライプ状に形成されている。また、カソード109aは、同じく複数本が間隔を開けて互いに平行に且つアノード109bとほぼ直交するように並べられて全体としてストライプ状に形成されている。また、有機エレクトロルミネッセンス発光層102は、図14におけるII-II線に従った断面図である図16からも分かるように、カソード109aとほぼ同じ位置に形成されている。

【0096】

有機エレクトロルミネッセンス発光層102は、周知の通り、それを挟む電極に所定の電圧を印加したときに固有の色で発光する物質であり、本実施形態では、例えば、赤で発色するもの、緑で発色するもの、青で発色するものの3種類を互いに隣り合わせに配列させて1つのユニットとし、このユニットをアノード109bの延在方向、すなわちアノード109bの長手方向へ互いに平行に並べてある。

【0097】

赤、緑、青の3色の個々の有機エレクトロルミネッセンス発光層102を挟んで、アノード109bとカソード109aとが互いに交差する1つずつの領域が、それぞれ、1つずつの表示ドットを形成し、それら3つの表示ドットが集まって1つの画素が形成される。そして、この画素が平面内でマトリクス状に配列することにより、文字、数字、図形等といった像を表示するための表示領域が形成される。

【0098】

図14において、基材103の下側の辺端部に駆動用IC119aがACF120によって実装され、左側の辺端部に駆動用IC119bがACF120によって実装されている。駆動用IC119aの入力用バンパは基材103の辺端部に形成した外部接続端子121aにつながり、駆動用IC119aの出力用バンパは基材103上に形成した配線122aを介してカソード109aにつながっている。他方、駆動用IC119bの入力用バンパは基材103上に形成した外部接続端子121bにつながり、駆動用IC119bの出力用バンパは基材103上に形成した配線122bを介してアノード109bにつながっている。

10041935-010702

## 【0099】

回路基板110は、図1に示した回路基板10と同様に、出力側第1端子4a及び出力側第2端子4bを有する。但し、図1の回路基板10の場合には、第1端子4aが回路基板10の表側に形成され、第2端子4bが回路基板10の裏側に形成されていたが、図14の回路基板110の場合には、第1端子4a及び第2端子4bの両方が回路基板110の裏側に形成されている。

## 【0100】

回路基板110が、第1領域A1の中に第1部品30を有し、第2領域A2の中に第2部品36を有し、さらに第2領域A2を含むように帯状領域A3を有することは、図1に示した回路基板10と同じである。第2部品36は、例えば、電源IC、電源LSIによって構成される。

## 【0101】

本実施形態に係るエレクトロルミネッセンス装置100は以上のように構成されているので、有機エレクトロルミネッセンス発光層102に印加される電圧を表示ドットごとに制御することにより、希望する座標位置を希望する色で発光させる。この発光により、加法混色の原理に従って文字、数字、図形等といった像が表示領域内に希望する色で表示される。

## 【0102】

(変形例)

以上に記載した実施形態においては、回路基板の形状及び回路基板上の部品配列として1つの例のみを示したが、回路基板の形状等は特許請求の範囲に記載した発明の範囲内で様々な改変できる。

## 【0103】

また、以上に記載した実施形態においては、表示手段として液晶パネル及びELパネルを用いた表示装置の例を示したが、表示手段は液晶パネルやELパネルに限られず、CRTディスプレイ、プラズマディスプレイ、FED (Field Emission Display) 等であってもよい。

## 【0104】

2024-10-25 01:07:02  
2024-10-25 01:07:02

また、本発明は前述した各実施形態に限定されるものではなく、本発明の要旨の範囲内、または、特許請求の範囲の均等範囲内で、各種の変形実施が可能である。

The entire disclosure of Japanese Patent Application No. 2001-006635 filed January 15, 2001 and Japanese Patent Application No. 2001-381584 filed December 14, 2001 is incorporated by reference herein.

20041935-010700

## 特許請求の範囲

1. 回路基板において、  
基板と、  
はんだ接続によって前記基板上に実装された第1部品と、  
異方性導電膜を介して前記基板上に実装された第2部品と、  
前記第2部品を含んで帯状に延びると共に前記第1部品は含まない帯状領域とを有すること  
を特徴とする回路基板。
2. 請求項1において、  
前記第1部品は受動素子又は機構部品であり、前記第2部品は半導体装置であることを特  
徴とする回路基板。
3. 請求項1において、  
前記帯状領域は、前記第2部品を実装する際に用いる熱圧着ヘッドの加圧面よりも広いこ  
とを特徴とする回路基板。
4. 請求項1において、前記帯状領域の外側にアラインメントマークを設けることを特徴  
とする回路基板。
5. 請求項1において、前記はんだ接続はリフロー処理を含むことを特徴とする回路基板  
。
6. 請求項1において、前記第1部品は複数設けられ、前記帯状領域はそれら複数の第1部  
品の間に設けられることを特徴とする回路基板。
7. 請求項6において、前記第2部品は電源IC又は電源LSIであることを特徴とする回  
路基板。
8. 請求項1において、前記帯状領域は前記基板の一方の端から他方の端にわたって設け  
られることを特徴とする回路基板。
9. 請求項1において、前記帯状領域は直線状に延びることを特徴とする回路基板。
10. 請求項1において、前記帯状領域には配線パターンが形成されることを特徴とする回  
路基板。
11. 請求項1において、前記第2部品に相当する位置の前記基板にダミー電極が形成され  
ることを特徴とする回路基板。

10041935.010702

12. 請求項1に記載された構成の回路基板と、該回路基板が接続される表示手段とを有することを特徴とする表示装置。

13. 請求項12において、前記表示手段は基板を備えた液晶装置によって構成され、前記回路基板は前記基板に接続されることを特徴とする表示装置。

14. 請求項12において、前記第1部品は複数設けられ、前記帯状領域はそれら複数の第1部品の間に設けられ、さらに、前記第2部品は電源IC、電源LSI、液晶駆動用IC又は液晶駆動用LSIであることを特徴とする表示装置。

15. 第1部品をはんだ接続によって基板に実装する工程と、  
前記基板上の所定位置に異方性導電膜を配置する工程と、  
第2部品を前記異方性導電膜上に配置する工程と、  
前記異方性導電膜を挟んで前記第2部品を前記基板に熱圧着する工程とを有し、  
前記基板上の所定位置に異方性導電膜を配置する工程は、前記第1部品をはんだ接続によって基板に実装する工程の後に行われる  
ことを特徴とする回路基板の製造方法。

16. 請求項15において、前記第1部品をはんだ接続によって前記基板に実装する前記工程は、リフロー処理を含むことを特徴とする回路基板の製造方法。

20200709 1935 010702



開示の要約

はんだ接続によって実装された第 1 部品 3 0 と、A C F 4 0 を介して実装された第 2 部品 3 6 とを備える回路基板 1 0 である。この回路基板 1 0 は、第 2 部品 3 6 を含んで帯状に延びると共に第 1 部品 3 0 は含まない帯状領域 A 3 を有する。この帯状領域 A 3 は第 2 部品 3 6 を実装する際に用いられる熱圧着ヘッドの加圧面より幅が広い。

1004-1935-010702